

大規模アレイテスト回路を用いた微細半導体素子の電気的特性のばらつき評価技術に関する研究

著者	渡部 俊一
号	54
学位授与機関	Tohoku University
学位授与番号	工博第4353号
URL	http://hdl.handle.net/10097/61794

氏 名	わた べ しゅん いち		
授 与 学 位	博士 (工学)		
学位授与年月日	平成22年 3月25日		
学位授与の根拠法規	学位規則第4条第1項		
研究科, 専攻の名称	東北大学大学院工学研究科 (博士課程) 技術社会システム専攻		
学 位 論 文 題 目	大規模アレイテスト回路を用いた微細半導体素子の電気的特性のばらつき評価技術に関する研究		
指 導 教 員	東北大学教授 須川 成利		
論 文 審 査 委 員 主査	東北大学教授 須川 成利	東北大学教授 伊藤 隆司	
	東北大学客員教授 大見 忠弘	東北大学准教授 寺本 章伸	
	(未来科学技術共同研究センター)		

論文内容要旨

近年、集積回路の高集積化、高速化、低消費電力化は、集積回路の基本構成素子である金属-酸化膜-半導体電界効果型トランジスタ (MOSFET) の定電界スケーリング則に基づく微細化により同時に実現されてきた。MOSFET は原子スケールまで微細化が進展しているが、それに伴い、電気的特性のばらつきの増大が顕在化してきた。それにより、電源電圧の低減が制限され、また歩留まりが低下するといった課題が顕著になってきている。MOSFET の電気的特性の重要なパラメータの1つである、しきい値電圧のばらつきの増大は、集積回路の設計を困難にする。集積回路の設計は回路を構成する MOSFET のしきい値電圧がばらついた場合 (例えば $\pm 3\sigma$) においても要求仕様を満たすように設計される。しかし、微細化が進むに伴い、しきい値電圧のばらつきが大きくなり、ばらつきを考慮した場合要求仕様を満たすことが困難になる。さらに上記の統計的なばらつきに加えて、集積回路製造では1万から100万個程度に数個の割合で発生する局所的な不良も、集積回路の性能、歩留まりをきめる要因となり大きな課題となっている。今後、微細化を進め、電源電圧を低下させるには、微細化によるしきい値電圧のばらつきの増大を抑制する必要があるといえる。

実デバイスにおいては、複数の要因が複合して電気的特性ばらつきを生じさせており、どの要因が支配的か、またそれら以外の他の要因は無いかということは、未だ明らかにされていない。さらに微細化を進めていくためには、統計的なばらつき局所的な不良、欠陥を抑制するプロセス、デバイスの開発は必須である。ばらつきを抑制するプロセス、デバイスの開発には、現状の電気的特性のばらつきの統計的な分布、量の把握、各要因が電気的特性に与える影響の定量的な把握や、局所的不良、欠陥箇所の特定、電気的特性不良の対応付け、要因の特定、不良、欠陥の許容数の把握が求められる。しかし、現状行われているばらつき評価は、100 μm 角に1個程度の比較的面積の大きく、素子密度が小さい、MOSFET 単体のテストパターンの測定により行われ、ウエハ面内で数十点程度の測定を行い、プロセス評価、デバイスの電気的特性を評価している。量産工場においても製品チップの脇に配置される同様のテストパターンで電気的特性の変動を管理している。それに対して集積回路に配置さ

れる MOSFET は素子数では数万～数億個であり、また素子密度は 100nm 角に 1 個程度と高密度である。数が少なく、素子密度の小さい現状のテストパターンでは、ウエハ面内の平均的な電気的特性は評価できるが、集積回路内で発生しているばらつきの統計的な分布が、どのような形状か、どのくらいの量かが把握できていない。また、測定素子数が少ないため集積回路の歩留まりを左右する局所的不良、欠陥の検出が困難である。

本論文は、これら現状の MOSFET の電気的特性のばらつき評価の課題に対し、新たに、MOSFET の電気的特性を短時間、高精度に測定できる大規模アレイテスト回路技術を提案し、電気的特性のばらつきの統計的な分布、量の把握、局所的不良、欠陥箇所の特定が可能であることを示し、測定解析した結果をまとめたものである。

図 1 に、本研究において提案する MOSFET の電気的特性のばらつき評価アレイテスト回路の回路図を示す。本テスト回路は、アレイ状に配置された被測定トランジスタとそれを選択するスイッチトランジスタの単位セル (A)、被測定トランジスタを選択するための水平シフトレジスタ (B)、垂直シフトレジスタ (C)、被測定トランジスタに流れる電流を制御するために列ごと配置された電流源トランジスタ (D)、出力信号を増幅するためのソースフォロワ回路 (E) で構成されている。被測定トランジスタと電流源トランジスタは選択スイッチトランジスタを通してソースフォロワの回路構成になっており、周辺回路は、シフトレジスタ (B, C) とソースフォロワ (E) を用い、非常に簡易な回路構成にしてある。そのため、周辺回路は動作範囲が広いと、被測定トランジスタのゲート長、ゲート幅、ゲート絶縁膜厚、ゲート絶縁膜の種類など、各種のトランジスタを配置する場合や、プロセス条件を変更した場合において、被測定トランジスタや周辺回路を構成するトランジスタのしきい値電圧が変化しても測定が可能である。図 2 に被測定トランジスタの電気的特性の測定原理を示す。左図は、図 1 の全体回路図より単位セルと電流源トランジスタを抜き出したものであり、単位セルは、被測定トランジスタと選択スイッチトランジスタで構成されている。右図は被測定トランジスタの電流-電圧特性を示している。測定原理について説明する。まず、電流源トランジスタのゲート電圧 V_{REF} を印加して、被測定トランジスタに流す定電流 I_{REF} を設定する。電流源トランジスタは、定電流を流すため、電流がソース・ドレイン間電圧 V_{v_line} に依存しない飽和領域で動作させる。選択スイッチトランジスタのゲート電圧 Φ_x が、垂直シフトレジスタ回路から印加されると、被測定トランジスタに、電流源トランジスタの V_{REF} で制御された電流 I_{REF} が流れる。選択スイッチトランジスタは、チャネル抵抗の低い線形領域で動作させる。ここで、図 2 の右図の被測定トランジスタの電流-電圧特性で示すように、被測定トランジスタに流れる電流が I_{REF} のときのゲート・ソース間電圧 V_{gs} は、出力電圧 V_{v_line} を用いて次

式で表される。 $V_{gs} \approx V_G - V_{v_line}$

V_G は被測定トランジスタのゲートに印加する電圧であり、テスト回路外部から印加するため既知である。 V_{v_line} を測定することにより、上式を用いて、被測定トランジスタに I_{REF} が流れるときの V_{gs} を求めることができる。さらに、電流源トランジスタのゲート電圧 V_{REF} を変化させ、被測定トランジスタに流れる定電流 I_{REF} を変化さ

せることで、図 2 右図の被測定トランジスタの電流－電圧特性 $V_{gs}-I_{REF}$ 特性を測定することが可能である。このアレイテスト回路を用いて、百万個を超える MOSFET の電气的特性を 1 秒以内に計測することを可能としている。

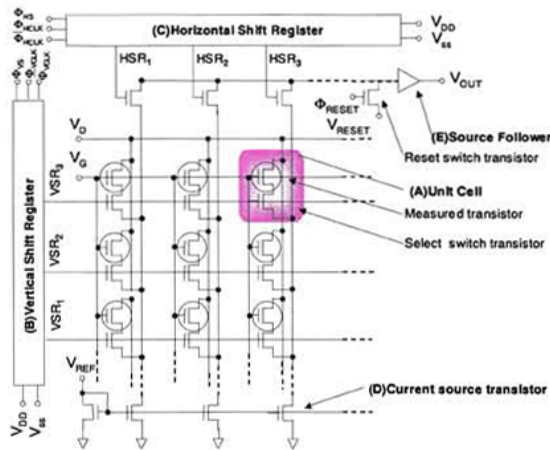


図 1 アレイテスト回路図

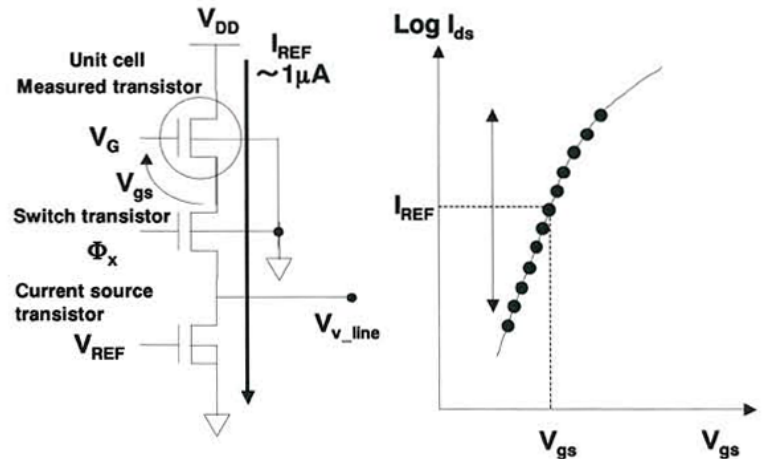


図 2 アレイテスト回路測定原理図

しきい値電圧のばらつきを評価した結果測定結果を可視化してマッピングした結果を図 3 に示す。不良や欠陥位置の特定が容易に行えることを示している。

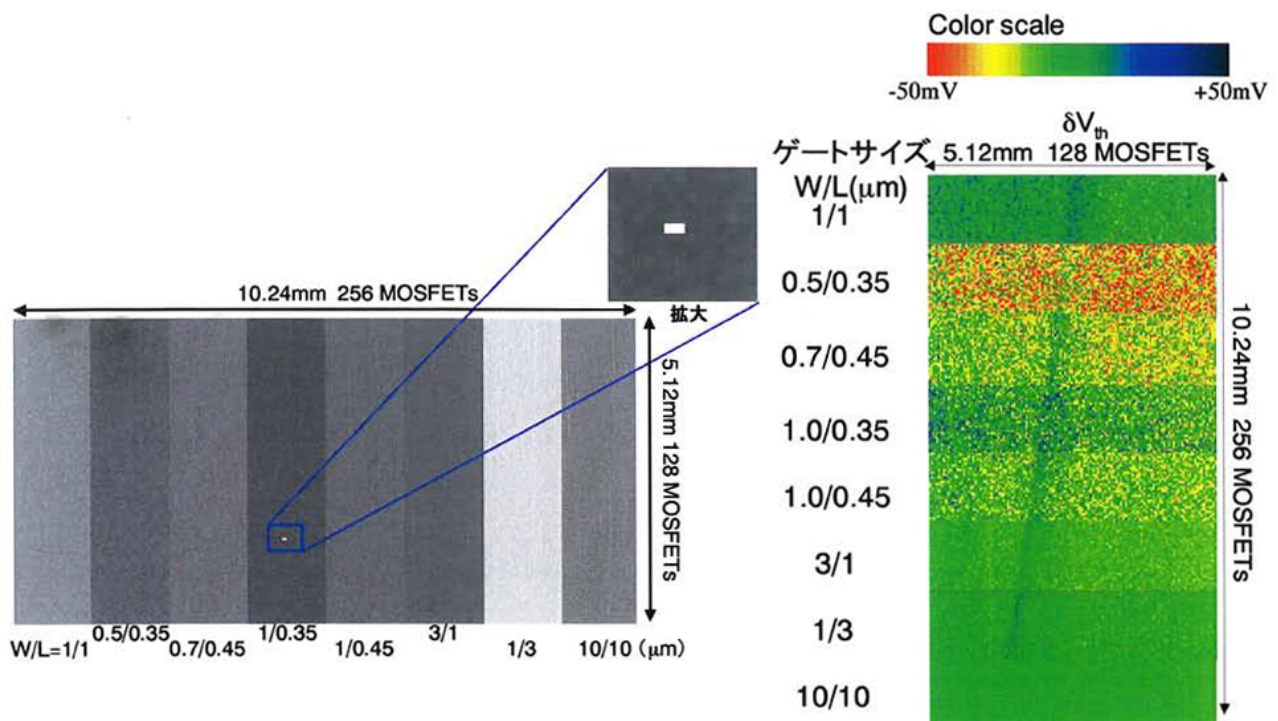


図 3 しきい値電圧のばらつきのマッピング 不良、欠陥位置の検出例

さらに、電気的特性のばらつき量の把握、ゲート面積依存性、チャネルドーピング原子の統計的ばらつきによる影響、動作条件依存性、配線工程のプラズマプロセスが電気的特性に及ぼす影響などについて測定解析を行った。ウエハ面内の MOSFET のしきい値電圧は、面内で平均的なばらつきがあり、面積の小さい領域内でも正規分布に従いばらつくことを、3500 万個の MOSFET の測定結果から実験的に明らかにした (図 4)。また、アレイテスト回路内にゲート面積を変えた MOSFET の電気的特性のばらつき評価を行った。しきい値電圧のばらつきは、ゲート長が $0.4\mu\text{m}$ 以上のときはゲート面積の平方根にほぼ比例し、チャネルドーピング原子の均一ばらつきモデルでこの現象を 50%程度は説明できることを確認した。これは、他に不明なばらつき原因が存在すること、ゲート長が $0.4\mu\text{m}$ 未満になると大きく増加していくことを示している。また、ゲート面積に対する金属配線面積の比 (アンテナ比) を変化させた MOSFET をアレイテスト回路に配置し、配線工程のプラズマプロセスがしきい値電圧やサブスレッショルド特性に及ぼす影響を実験的に測定評価し、マイクロ波励起プラズマ装置を用いることでばらつき増加を抑制するプラズマプロセスが実現できることを明らかにした。

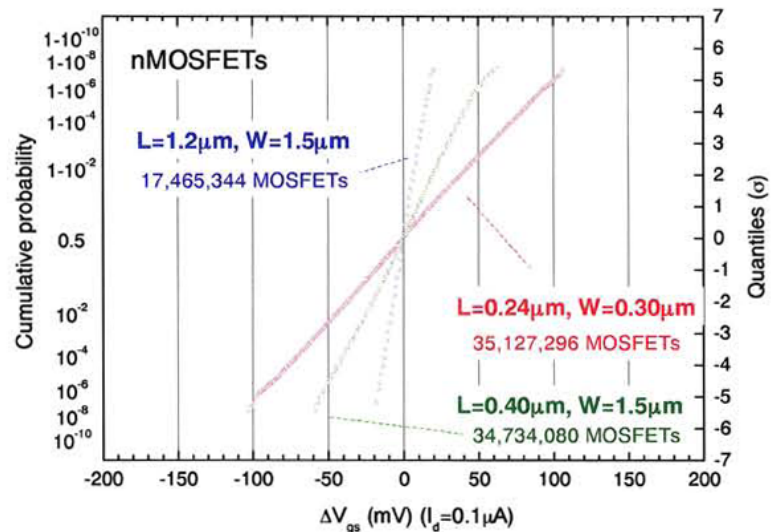


図 4 しきい値電圧の累積頻度分布 (小面積領域内)

新しいアレイテスト回路を用いたばらつき測定評価技術を提案し、その動作検証を行い、百万個を超える MOSFET の電気的特性を 1 秒以内に計測することを可能とした。また、測定結果を可視化してマッピングすることにより、不良や欠陥位置の特定が容易に行えることを明らかにした。提案したテスト回路を用いることで、現状のトランジスタの電気的特性のばらつき量を把握、プロセス条件を変更したときのばらつきへの影響が系統的に評価可能であることを示し、開発した大規模アレイテスト回路が、電気的特性のばらつき量の把握、ばらつきの要因解明、プロセスの改善、デバイス開発に非常に有用であることを示した。

論文審査結果の要旨

集積回路の基本構成素子である金属-酸化膜-半導体電界効果型トランジスタ (MOSFET) は、素子寸法の微細化が進むにつれて、その電気的特性のばらつきが増大し、電源電圧の低減が制限され、また歩留まりが低下するといった課題が顕著になってきている。そこで電気的特性のばらつきの要因を明らかにし、ばらつきを抑制したプロセス、デバイス技術を確認することが強く求められてきているが、今までに数万から数億個の MOSFET の電気的特性のばらつき量を短時間、高精度に測定し、不良や欠陥位置を特定する評価技術は存在しなかった。本論文は、こうした背景に鑑み、新たに、MOSFET の電気的特性を短時間、高精度に測定できる大規模アレイテスト回路技術を提案し、それを用いた測定評価の成果をまとめたものであり、全文 4 章からなる。

第 1 章は、序論である。

第 2 章では、新しいアレイテスト回路を用いたばらつき測定評価技術を提案し、その動作検証を行った結果について論じている。大規模アレイテスト回路は、被測定対象の MOSFET とそれを選択するスイッチを単位セルとしてアレイ状に配置し、走査回路により各セルを順次選択し、定電流動作によりソース側電極から電圧信号を取り出すという構成をとっている。これにより、百万個を超える MOSFET の電気的特性を 1 秒以内に計測することを可能としている。また、測定結果を可視化してマッピングすることにより、不良や欠陥位置の特定が容易に行えることを明らかにしている。これは、極めて重要な成果である。

第 3 章では、第 2 章で動作検証したアレイテスト回路を大規模化し、シリコンウェーハ面内の電気的特性のばらつき量の把握、ゲート面積依存性、チャネルドーピング原子の統計的ばらつきによる影響、動作条件依存性、配線工程のプラズマプロセスが電気的特性に及ぼす影響などについて測定解析した結果について述べている。3500 万個の MOSFET のしきい値電圧のばらつきが正規分布に従いばらつくことを実験的に明らかにしている。しきい値電圧のばらつきは、ゲート長が $0.4\mu\text{m}$ 以上のときはゲート面積の平方根にほぼ比例し、チャネルドーピング原子の均一ばらつきモデルでこの現象を 50% 程度は説明できるが、他のまだ不明なばらつき原因が存在すること、ゲート長が $0.4\mu\text{m}$ 未満になると大きく増加していくことなどを示している。また、ゲート面積に対する金属配線面積の比 (アンテナ比) を変化させた MOSFET セルを用い、配線工程のプラズマプロセス条件がしきい値電圧やサブスレッショルド特性に及ぼす影響を実験的に測定評価し、マイクロ波励起プラズマ装置を用いることでばらつき増加を抑制するプラズマプロセスが実現できることを明らかにしている。これは、極めて有用な成果である。

第 4 章は、結論である。

以上要するに本論文は、MOSFET の電気的特性を短時間、高精度に測定できる新たな大規模アレイテスト回路技術を提案し、それを用いた測定解析の成果をまとめたものであり、半導体電子工学に寄与するところが少なくない。

よって、本論文は博士(工学)の学位論文として合格と認める。